

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60186059
PUBLICATION DATE : 21-09-85

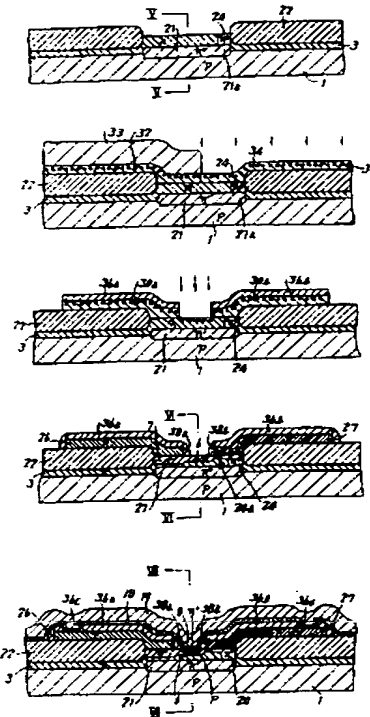
APPLICATION DATE : 05-03-84
APPLICATION NUMBER : 59042334

APPLICANT : SONY CORP;

INVENTOR : NAKAMURA MINORU;

INT.CL. : H01L 29/72

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To reduce the parasitic capacity and to accelerate a semiconductor device by extending a base leading electrode from the vicinity of an emitter region toward a base electrode, and extending a collector leading electrode from the vicinity of the emitter region toward a collector electrode in an opposite direction to the base leading direction.

CONSTITUTION: An n⁺ type buried layer 21 is formed in a p type silicon substrate 1, an n type epitaxially grown layer 3 is formed, and the layer 3 is then partly thermally oxidized, thereby forming an SiO₂ film 22 which forms an element separating layer. An n type layer impurity such as As ions are implanted under the prescribed conditions to a polycrystalline silicon film 30, thereby forming an As ion implanted layer 34 adjacent to a B ion implanted layer 32. After an SiO₂ film 38 is coated by a CVD method on the overall surface, a heat treatment is performed, ion implanted B to the layer 3 is electrically activated, and diffused in the depthwise direction, thereby forming a p type base region 6. The p type formed polycrystalline silicon film 30a form a base leading electrode 26, and n type formed polycrystalline silicon film 30a forms a base leading electrode 26, and n type formed polycrystalline silicon film 30b forms a collector leading electrode 27.

COPYRIGHT: (C)1985,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-186059

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月21日

H 01 L 29/72

7514-5F

審査請求 未請求 発明の数 2 (全9頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭59-42334

⑰ 出 願 昭59(1984)3月5日

⑱ 発 明 者	栢 沼 昭 夫	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発 明 者	中 村 稔	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
㉑ 代 理 人	弁理士 土 屋 勝	外1名	

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基層中にそれぞれ形成されているエミッタ領域、ベース領域及びコレクタ領域と、これらのエミッタ領域、ベース領域及びコレクタ領域のためのエミッタ電極部、ベース電極部及びコレクタ電極部をそれぞれ有する配線パターンとを具備する半導体装置において、上記半導体基層上にそれぞれ形成されているベース引出し電極及びコレクタ引出し電極を具備し、上記ベース引出し電極が上記ベース領域と上記ベース電極部とを接続するために上記エミッタ領域の近傍から上記ベース電極部に向かって延在し、上記コレクタ引出し電極が上記エミッタ領域の近傍から上記コレクタ電極部に向かって上記ベース引出し電極とは反対方向に延在していることを特徴とする半導体装置。

2. 半導体基層中にそれぞれ形成されているエミッタ領域、ベース領域及びコレクタ領域と、これ

らのエミッタ領域、ベース領域及びコレクタ領域のためのエミッタ電極部、ベース電極部及びコレクタ電極部をそれぞれ有する配線パターンと、上記半導体基層上にそれぞれ形成されているベース引出し電極及びコレクタ引出し電極を具備し、上記ベース引出し電極が上記ベース領域と上記ベース電極部とを接続するために上記エミッタ領域の近傍から上記ベース電極部に向かって延在し、上記コレクタ引出し電極が上記エミッタ領域の近傍から上記コレクタ電極部に向かって上記ベース引出し電極とは反対方向に延在している半導体装置の製造方法において、少なくともその一部が上記コレクタ領域を構成する第1導電型の上記半導体基層上に引出し電極形成用の半導体層を形成する工程と、上記半導体層に第1導電型不純物及び第2導電型不純物をそれぞれ選択的に導入して、少なくともそれらの一部が上記コレクタ引出し電極及び上記ベース引出し電極をそれぞれ構成する第1の領域及び第2の領域を形成する工程と、上記第1及び第2の領域が互いに近接する部位におい

て上記半導体層を除去して、上記半導体基層を部分的に露出させる工程と、この露出部分において上記半導体基層中に上記ベース領域を形成する工程と、このベース領域中に上記エミッタ領域を形成する工程とをそれぞれ具備することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、バイポーラLSIを構成する素子として用いて最適な半導体装置及びその製造方法に関する。

背景技術とその問題点

近年、高速LSIを実現するための最も現実的な技術として高速シリコンバイポーラ技術の開発が進められ、素子の微細化、接合のシャロー化、寄生容量及び寄生抵抗の低減等を達成するために、LSIを構成する素子として例えば第1A図～第1C図に示すようなnpn型のバイポーラトランジスタが案出されている。このバイポーラトランジスタにおいては、p型シリコン基板1にn⁺型

成るベース引出し電極12が形成されている。このベース引出し電極12はSiO₂膜13で被覆されていて、このSiO₂膜13の開口13a、13bを通じて電極14、15がそれぞれ形成されている。同様に、コレクタ電極取り出し領域10上にも電極16が形成されている。なお電極14、15、16はそれぞれ薄い多結晶シリコン膜18a、18b、18cとAl膜19a、19b、19cとから成っている。また電極14、15、16は、実際には多結晶シリコン膜とAl膜との二層構造の配線パターンの電極部を構成しているが、第1A図～第1C図においては配線パターンを省略した(以下同様)。

上述のバイポーラトランジスタにより構成されるLSIは、信号の伝搬遅延時間(t_{pd})が100ps以下で消費電力も従来に比べて小さいが、GaAsLSIと競合するためには、さらに高速化($t_{pd} < 50ps$)及び低消費電力化する必要がある。ところが、上述のバイポーラトランジスタにおいては、第1A図～第1C図に示すようにグラフト・ベ-

特開昭60-186059(2)

の埋込層2が形成され、またp型シリコン基板1上にn型のエピタキシャル成長層3が形成されている。このエピタキシャル成長層3には、このエピタキシャル成長層3に対して段差を有しかつ素子分離層として働くSiO₂膜4が形成されている。そしてエピタキシャル成長層3のうちのSiO₂膜4で囲まれている部分、即ち素子形成部3aには、p型のベース領域6と、このベース領域6に連なりかつベース領域6を囲むp⁺型のグラフト・ベース領域7と、ベース領域6に対してセルフアラインで形成されかつ例えばサブミクロン幅を有するn⁺型のエミッタ領域8とがそれぞれ形成されている。なおベース領域6と埋込層2との間に存在するエピタキシャル成長層3によってコレクタ領域9が構成される。またエピタキシャル成長層3における埋込層2の一端2aに対応する部分には、n⁺型のコレクタ電極取り出し領域10が形成されている。

一方、グラフト・ベース領域7上には、SiO₂膜4上にまで延在するp型の多結晶シリコン膜から

ス領域7及び埋込層2の面積が大きいので、グラフト・ベース領域7とコレクタ領域9との間の寄生容量 C_{jc} 及び埋込層2とp型シリコン基板1との間の寄生容量 C_{js} が十分には小さくなく、これが t_{pd} を低減する上で制約となっている。また素子形成部3aの面積も十分には小さくなく、このため消費電力を十分小さくするのも難しい。

発明の目的

本発明は、上述の問題にかんがみ、従来のバイポーラトランジスタが有する上述のような欠点を是正した半導体装置及びその製造方法を提供することを目的とする。

発明の概要

本発明に係る半導体装置は、半導体基層中にそれぞれ形成されているエミッタ領域、ベース領域及びコレクタ領域と、これらのエミッタ領域、ベース領域及びコレクタ領域のためのエミッタ電極部、ベース電極部及びコレクタ電極部をそれぞれ有する配線パターンとを具備する半導体装置において、上記半導体基層上にそれぞれ形成されてい

特開昭60-186059(3)

るベース引出し電極及びコレクタ引出し電極を具備し、上記ベース引出し電極が上記ベース領域と上記ベース電極部とを接続するために上記エミッタ領域の近傍から上記ベース電極部に向かって延在し、上記コレクタ引出し電極が上記エミッタ領域の近傍から上記コレクタ電極部に向かって上記ベース引出し電極とは反対方向に延在している。このように構成することによって、寄生容量を低減することができ、このため半導体装置を高速化することができる。また実効素子面積を低減することができるので、LSIを構成する場合に素子の集積密度を極めて高くすることができると共に、消費電力を小さくすることができる。

また本発明に係る半導体装置の製造方法は、半導体基層中にそれぞれ形成されているエミッタ領域、ベース領域及びコレクタ領域と、これらのエミッタ領域、ベース領域及びコレクタ領域のためのエミッタ電極部、ベース電極部及びコレクタ電極部をそれぞれ有する配線パターンと、上記半導体基層上にそれぞれ形成されているベース引出し

電極及びコレクタ引出し電極を具備し、上記ベース引出し電極が上記ベース領域と上記ベース電極部とを接続するために上記エミッタ領域の近傍から上記ベース電極部に向かって延在し、上記コレクタ引出し電極が上記エミッタ領域の近傍から上記コレクタ電極部に向かって上記ベース引出し電極とは反対方向に延在している半導体装置の製造方法において、少なくともその一部が上記コレクタ領域を構成する第1導電型の上記半導体基層上に引出し電極形成用の半導体層を形成する工程と、上記半導体層に第1導電型不純物及び第2導電型不純物をそれぞれ選択的に導入して、少なくともそれらの一部が上記コレクタ引出し電極及び上記ベース引出し電極をそれぞれ構成する第1の領域及び第2の領域を形成する工程と、上記第1及び第2の領域が互いに近接する部位において上記半導体層を除去して、上記半導体基層を部分的に露出させる工程と、この露出部分において上記半導体基層中に上記ベース領域を形成する工程と、このベース領域中に上記エミッタ領域を形成する工

程とをそれぞれ具備している。このようにすることによって、高速かつ低消費電力であると共にLSIを構成する場合に素子の高密度化が可能な半導体装置を製造することができる。

実施例

以下本発明に係る半導体装置及びその製造方法をLSIを構成するnpn型のバイポーラトランジスタに適用した一実施例につき図面を参照しながら説明する。

第2A図～第2C図に示すように、本実施例によるバイポーラトランジスタにおいては、p型シリコン基板1にn型の埋込層21が形成されている。なおこの埋込層21は長方形の平面形状を有し(第2A図)、その2辺とも第1A図～第1C図に示す従来のバイポーラトランジスタにおける埋込層2に比べて小さくなっている。またp型シリコン基板1上には、n型のエピタキシャル成長層3が形成されている。このエピタキシャル成長層3には、既述の従来のバイポーラトランジスタにおけるSiO₂膜4とは形状が異なりかつ素子分

離層として働くSiO₂膜22が形成されている。そしてエピタキシャル成長層3の素子形成部3aには、p型のベース領域6と、このベース領域6に連なるp型のグラフト・ベース領域23と、ベース領域6に対してセルフアラインで形成されているn型のエミッタ領域8とがそれぞれ形成されている。なおベース領域6と埋込層21との間に存在するエピタキシャル成長層3によってコレクタ領域9が構成されるのは、既述の従来のバイポーラトランジスタと同様である。またエピタキシャル成長層3における埋込層21の一端21aに対応する部分には、n型のコレクタ電極取り出し領域24が形成されている。なおグラフト・ベース領域23は、第1A図～第1C図に示す従来のバイポーラトランジスタにおけるグラフト・ベース領域7とは異なって、ベース領域6の一端縁のみに形成されている。またコレクタ電極取り出し領域24は、第1B図に示すコレクタ電極取り出し領域10とは異なって、素子形成部3aの中に直接形成されている。

特開昭60-186059(4)

一方、グラフト・ベース領域23上には、SiO₂膜22上にまで延在するp型の多結晶シリコン膜から成るベース引出し電極26が形成されている。またコレクタ電極取り出し領域24上には、SiO₂膜22上にまで延在するn型の多結晶シリコン膜から成るコレクタ引出し電極27が、エミッタ領域8に関してベース引出し電極26とは対称に形成されている。これらのベース引出し電極26及びコレクタ引出し電極27はSiO₂膜28で被覆されていて、このSiO₂膜28の開口28a、28bを通じて電極14、16がそれぞれ形成されている。またエミッタ領域8上には、電極15が形成されている。なお電極14、15、16は既述の従来のバイポーラトランジスタと同様に、それぞれ薄い多結晶シリコン膜18a、18b、18cとAl膜19a、19b、19cとから成っている。

上述の実施例によるバイポーラトランジスタは、次のような利点を有している。即ち、第2A図及び第2B図に示すように、ベース引出し電極26

とコレクタ引出し電極27とをエミッタ領域8に関して対称に形成しているの、これらのベース引出し電極26、コレクタ引出し電極27及び電極15をいずれも素子形成部3aの上に形成することができる。またこれに伴って、ベース領域6の側縁だけにグラフト・ベース領域23を形成するだけでよい。従って、グラフト・ベース領域23の面積と埋込層21の面積とを共に小さくすることができる。このため、第1A図～第1C図に示す従来のバイポーラトランジスタに比べて、C_{rs}を例えば1/2～1/3に低減することができると共に、C_{rc}を例えば1/8程度に低減することができる。この結果t_{so}を例えば50psとすることができる。

また素子形成部3aの面積を埋込層21と同様に第1A図～第1C図に示す従来のバイポーラトランジスタに比べて小さくすることができるので、実効素子面積を従来の例えば1/3程度とすることができる。従って、本実施例によるバイポーラトランジスタを用いてLSIを構成する場合、素

子の集積密度を極めて高くすることができる。また実効素子面積が小さいため、従来に比べて消費電力を小さくすることができる。また第2B図に示すように、ベース引出し電極26及びコレクタ引出し電極27の互いに対向する側面部にそれぞれ形成されているSiO₂膜28c、28dの間においてエピタキシャル成長層3中にエミッタ領域8を形成しているので、上述のSiO₂膜28c、28dにより、エミッタ領域8とコレクタ電極取り出し領域24（従ってコレクタ領域9）とを分離することができる。

次に第2A図～第2C図に示すnpn型のバイポーラトランジスタの製造方法を第3A図～第3I図を参照しながら説明する。

第3A図に示すように、まずp型シリコン基板1に例えば熱拡散法によりn⁺型の埋込層21を形成し、次いでp型シリコン基板1上にn型のエピタキシャル成長層3を形成する。

次に第3B図に示すように、LOCOS法によりエピタキシャル成長層3を部分的に熱酸化して、

素子分離層を構成するSiO₂膜22を形成する。次に例えば熱拡散法により、埋込層21の一端21aに対応する部分のエピタキシャル成長層3中にn⁺型のコレクタ電極取り出し領域24を形成する。

次に第3C図に示すように、全面にCVD法により例えば膜厚3000Åの多結晶シリコン膜30を被着形成する。次にこの多結晶シリコン膜30上にフォトリソistを塗布し、所定のパターンニングを行って所定形状のフォトリソist31を形成する。次にこのフォトリソist31をマスクとして、多結晶シリコン膜30にp型不純物、例えばB（またはBF₃）を所定条件でイオン注入することにより、Bのイオン注入層32を形成する。この後、フォトリソist31を除去する。

次に第3D図に示すように、Bのイオン注入層32の上に上述と同様な方法によりフォトリソist33を形成した後、このフォトリソist33をマスクとして、多結晶シリコン膜30にn型不純物、例えばAsを所定条件でイオン注入することにより、Bのイオン注入層32に隣接してAsのイオ

ン注入層 34 を形成する。この後、フォトレジスト 33 を除去する。

次に第 3 E 図に示すように、多結晶シリコン膜 30 の全面に CVD 法により SiO_2 膜 36 を被着形成する。次に B のイオン注入層 32 と As のイオン注入層 34 との境界に対応する部位及びその近傍の上記 SiO_2 膜 36 及び多結晶シリコン膜 30 を例えば反応性イオンエッチング法 (RIE 法) により順次エッチング除去することにより、第 3 F 図に示すように所定形状の SiO_2 膜 36 a、36 b 及び多結晶シリコン膜 30 a、30 b を形成すると共に、エピタキシャル成長層 3 を露出させる。なおこの際、多結晶シリコン膜 30 a の左側及び多結晶シリコン膜 30 b の右側に SiO_2 膜 4 が露出される。次に SiO_2 膜 36 a、36 b 及び多結晶シリコン膜 30 a、30 b をマスクとして、上述のようにして露出されたエピタキシャル成長層 3 の表面に p 型不純物、例えば B (または BF_3) をイオン注入する。

次に第 3 G 図に示すように、全面に CVD 法に

け厚さ方向に異方性エッチングすることにより、第 3 H 図に示すようにベース引出し電極 26 及びコレクタ引出し電極 27 のそれぞれの側面の SiO_2 膜 38 a、38 b のみを残す。なおこの際、第 3 H 図の VI-VI 線の断面構造は第 4 B 図に示すようになり、エピタキシャル成長層 3 に対して段差を有する SiO_2 膜 22 の側面にも上述の SiO_2 膜 38 a、38 b と異なる SiO_2 膜 38 c、38 d がそれぞれ形成される。

次に第 3 I 図に示すように、 SiO_2 膜 36 a、36 b の所定部分をエッチング除去して開口 36 c、36 d を形成した後、全面に CVD 法により例えば膜厚が 500 Å の薄い多結晶シリコン膜 18 を被着形成する。次に、少なくとも開口 36 c に対応する部分の多結晶シリコン膜 18 上にフォトレジスト (図示せず) を形成した状態で全面に n 型不純物、例えば As を高濃度にイオン注入する。このイオン注入により、 SiO_2 膜 38 a と SiO_2 膜 38 b との間におけるエピタキシャル成長層 3 に As のイオン注入層 (図示せず) が形成される。

特開昭 60-186059 (5)

より SiO_2 膜 38 を被着形成した後、例えば 1000 °C で所定時間の熱処理を行う。この熱処理により、第 3 F 図に示す工程においてエピタキシャル成長層 3 にイオン注入された B が、電気的に活性化されると共に深さ方向に拡散されて p 型のベース領域 6 が形成される。またこの熱処理の際、第 3 C 図及び第 3 D 図に示す工程において多結晶シリコン膜 30 にそれぞれイオン注入された B 及び As が多結晶シリコン膜 30 a、30 b 中を深さ方向にそれぞれ拡散され、さらにエピタキシャル成長層 3 中にも拡散される。この結果、多結晶シリコン膜 30 a が p 型化されると共に、多結晶シリコン膜 30 b が n 型化され、同時にベース領域 6 に隣接して p' 型のグラフト・ベース領域 23 が形成され、またコレクタ電極取り出し領域に連なる n' の突出部 24 a が形成される。なお p 型化された多結晶シリコン膜 30 a がベース引出し電極 26 を、n 型化された多結晶シリコン膜 30 b がコレクタ引出し電極 27 をそれぞれ構成する。

次に RIE 法により SiO_2 膜 38 をその膜厚分だ

次に例えば 1000 °C で熱処理 (エミッタ拡散) を行うことにより、上述のようにしてイオン注入された As を電気的に活性化させると共に深さ方向に拡散させて、n' 型のエミッタ領域 8 を形成する。次に例えばスパッタ法により全面に Al 膜 19 を形成する。この後、Al 膜 19 及び多結晶シリコン膜 18 の所定部分を順次エッチング除去することにより、第 2 B 図に示すように多結晶シリコン膜 18 a、18 b、18 c と Al 膜 19 a、19 b、19 c との 2 層構造の電極 14、15、16 を形成して npn 型のバイポーラトランジスタを完成させる。

なお第 3 B 図、第 3 H 図及び第 3 I 図の V-V 線、VI-VI 線及び W-W 線の断面はそれぞれ第 4 A 図～第 4 C 図に示す通りである。

上述の実施例による製造方法によれば、第 2 A 図～第 2 C 図に示す高速かつ低消費電力のバイポーラトランジスタを製造することができる。また第 4 C 図に示すように、LOCOS 法により形成した SiO_2 膜 22 の側面に SiO_2 膜 38 c、38 d を

形成し、これらの SiO_2 膜38c、38dの間におけるエピタキシャル成長層3中にイオン注入法によりエミッタ領域8を形成しているの、次のような利点がある。即ち、LOCOS法により形成された SiO_2 膜22と隣接する部分のエピタキシャル成長層3の結晶性は他の部分に比べて悪いため、従来のウォールド・エミッタ(walled-emitter)構造のようにエミッタ領域が SiO_2 膜22の側面に接触して形成されている構造では、コレクタ・エミッタ間のリーク電流が多い。これに対して、上述の実施例においては、第4C図に示すように、 SiO_2 膜22の側面から SiO_2 膜38c、38dの厚さだけ離れた結晶性が良好な部分のエピタキシャル成長層3の中にエミッタ領域8を形成することができる(改良されたウォールド・エミッタ構造)。このため、コレクタ・エミッタ間のリーク電流を小さくすることができる。同様に、 SiO_2 膜22の側面に直接形成されている SiO_2 膜38c、38dの間におけるエピタキシャル成長層3にエミッタ領域8を形成しているの、第4C図における素

子形成部3aの幅を小さくすることができ、従って実効素子面積を低減することができるという利点もある。

上述の実施例により製造された第2A図～第2C図に示すバイポーラトランジスタにおいては、第5図に示すように、ベース領域6とコレクタ電極取り出し領域24の突出部24aとの2つの高濃度拡散層が互いに接触しているため、コレクタ・ベース間の耐圧 V_{ceo} が比較的低い。そこで次に V_{ceo} を向上させる方法につき説明する。

第1の方法は、第3F図に示す工程において、 SiO_2 膜36及び多結晶シリコン膜30の所定部分をRIE法のみでエッチング除去する代わりに、まず多結晶シリコン膜30がその厚さ方向の一部だけ残る状態までRIE法により SiO_2 膜36及び多結晶シリコン膜30のエッチングを行い、次いでKOH水溶液によりウェットエッチングを行って残りの多結晶シリコン膜30を除去する方法である。この方法によれば、Asをドーブした多結晶シリコン膜30bのKOH水溶液によるエッチ

ング速度が、Bをドーブした多結晶シリコン膜30aのそれに比べて約10倍大きいので、上述のウェットエッチングの際に、多結晶シリコン膜30bの一端のみがサイドエッチングされて、第6図に示すように、 SiO_2 膜36bの一端の下部にアンダーカット部39が形成される。このため、第3H図に関連して述べた熱処理の際に、アンダーカット部39に対応する部分のエピタキシャル成長層3中には多結晶シリコン膜30bに含まれているAsがほとんど拡散されない。従って、コレクタ電極取り出し領域24の突出部24aとベース領域6(一点鎖線で示す)との間には間隔があり、この結果 V_{ceo} を向上させることができる。

また第2の方法は、第3F図に関連して述べたベース領域形成のためのBのイオン注入を行う前に、第3G図及び第3H図で述べたと同様な方法により、第7図に示すように、 SiO_2 膜36b及びAsをドーブした多結晶シリコン膜30bの側面に SiO_2 膜40を形成しておく方法である。この方法によれば、多結晶シリコン膜30bの一端から

SiO_2 膜40の厚さだけ離れた位置にベース領域6(一点鎖線で示す)を形成することができ、このため第1の方法と同様にベース領域6とコレクタ電極取り出し領域24の突出部24aとの間に間隔をあけることができる。従って、 V_{ceo} を向上させることができる。

また第3の方法は、第8図に示すように、多結晶シリコン膜30bの端部30cのAsの濃度を小さくする方法である。この方法によれば、第3G図に関連して述べた熱処理時に、上記端部30cからエピタキシャル成長層3に拡散するAsの量は極めて少ないので、コレクタ電極取り出し領域24のベース領域6(一点鎖線で示す)側の一端の不純物濃度を極めて小さくすることができ、このためコレクタ電極取り出し領域24の突出部24aとベース領域6との間に実質的に間隔があったのと等価になる。従って、 V_{ceo} を向上させることができる。なお上記端部30cのAsの濃度を低くするには、第3D図に示す工程において行うAsのイオン注入を2段階に分ければ良い。即ち、

まず多結晶シリコン膜30上に、上述の端部30cに相当する領域をも覆うフォトリソストを形成し、この状態で所定のドーズ量の例えば2/3に相当するドーズ量でイオン注入を行う。次に上記フォトリソストを除去し、次いで第3D図に示すフォトリソスト33と同様の形状のフォトリソストを形成した後、残りの1/3に相当するドーズ量でイオン注入を行えばよい。

本発明は、上述の実施例に限定されるものではなく、本発明の技術的思想に基づく種々の変形が可能である。例えば、上述の実施例によるバイポーラトランジスタにおいては、第2A図及び第2B図に示すように、ベース引出し電極26とコレクタ引出し電極27とをエミッタ領域8に関して対称に形成しているが、これに限定されるものではなく、一般にはベース引出し電極26がベース領域6と電極14を接続するためにエミッタ領域8の近傍から電極14に向かって延在し、またコレクタ引出し電極27がエミッタ領域8の近傍から電極16に向かってベース引出し電極26とは

反対方向に延在していればよい。また上述の実施例によるバイポーラトランジスタの製造方法においては、第3B図に示す工程において、エピタキシャル成長層3に対して段差を有するSiO₂膜22をLOCOS法により形成しているが、他の方法を用いて上述のような段差を形成してもよい。なお上述のような段差を形成することにより、改良されたウォールド・エミッタ構造を実現することができるのは既述の通りである。また第3F図に示す工程においてベース領域の形成のために行うBのイオン注入は、露出されたエピタキシャル成長層3の表面に所定膜厚のSiO₂膜を形成した後にこのSiO₂膜を介して行ってもよい。

発明の効果

本発明に係る半導体装置によれば、半導体基層上にそれぞれ形成されているベース引出し電極及びコレクタ引出し電極を具備し、上記ベース引出し電極がベース領域とベース電極部とを接続するためにエミッタ領域の近傍からベース電極部に向かって延在し、上記コレクタ引出し電極がエミッ

タ領域の近傍からコレクタ電極部に向かってベース引出し電極とは反対方向に延在しているので、これらのベース引出し電極、コレクタ引出し電極及びエミッタ電極部を単一の素子形成部の上に形成することができ、このためベース領域の取り出しのために形成するグラフト・ベース領域の面積と埋込層の面積とを共に小さくすることができる。従って、これらのグラフト・ベース領域及び埋込層に起因して生ずる寄生容量を低減することができる。このため半導体装置を高速化することができる。また上述のような構成により実効素子面積を低減することができるので、LSIを構成する場合に素子の集積密度を極めて高くすることができる。また、消費電力を小さくすることができる。

また本発明に係る半導体装置の製造方法によれば、少なくともその一部がコレクタ領域を構成する第1導電型の半導体基層上に引出し電極形成用の半導体層を形成する工程と、上記半導体層に第1導電型不純物及び第2導電型不純物をそれぞれ選択的に導入して、少なくともそれらの一部がコ

レクタ引出し電極及びベース引出し電極をそれぞれ構成する第1の領域及び第2の領域を形成する工程と、上記第1及び第2の領域が互いに近接する部位において上記半導体層を除去して、上記半導体基層を部分的に露出させる工程と、この露出部分において上記半導体基層中にベース領域を形成する工程と、このベース領域中にエミッタ領域を形成する工程とをそれぞれ具備しているので、高速かつ低消費電力であると共に、LSIを構成する場合に素子の高密度化が可能な半導体装置を製造することができる。

4. 図面の簡単な説明

第1A図はLSIを構成する従来のnpn型バイポーラトランジスタの平面図、第1B図及び第1C図はそれぞれ第1A図に示すnpn型バイポーラトランジスタのI-I線及びII-II線の断面図、第2A図は本発明に係る半導体装置の一実施例としてのLSIを構成するnpn型バイポーラトランジスタの平面図、第2B図及び第2C図はそれぞれ第2A図に示すnpn型バイポーラト

特開昭60-186059(8)

ンジスタのⅢ・Ⅲ線及びⅣ・Ⅳ線の断面図、第3A図～第3I図は本発明に係る半導体装置の製造方法を第2A図～第2C図に示すnpn型バイポーラトランジスタの製造に適用した一実施例を工程順に示す断面図、第4A図～第4C図はそれぞれ第3B図、第3H図及び第3I図のⅤ・Ⅴ線、Ⅵ・Ⅵ線及びⅦ・Ⅶ線の断面図、第5図は第3H図におけるベース領域の一端付近の拡大断面図、第6図～第8図はコレクタ・ベース間の耐圧を向上させる方法を説明するための第5図と同様な拡大断面図である。

なお図面に用いた符号において、

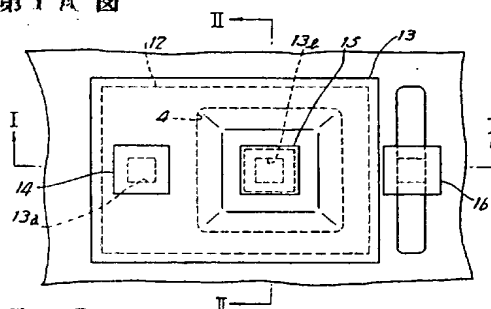
- 2, 21埋込層
- 3エピタキシャル成長層
(第1導電型の半導体基層)
- 4, 22 SiO_2 膜(素子分離層)
- 6ベース領域
- 7グラフト・ベース領域
- 8エミッタ領域
- 9コレクタ領域

- 12, 26ベース引出し電極
- 14電極(ベース電極部)
- 15電極(エミッタ電極部)
- 16電極(コレクタ電極部)
- 23グラフト・ベース領域
- 27コレクタ引出し電極

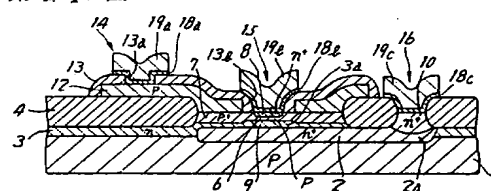
である。

代理人 土屋 勝
常包芳男

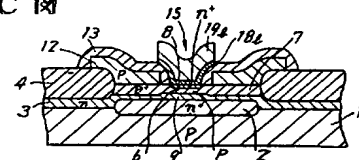
第1A図



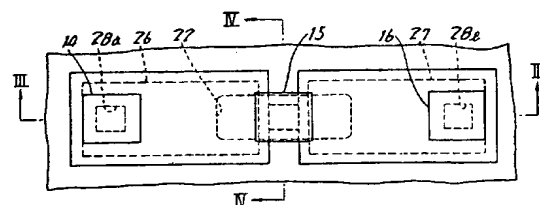
第1B図



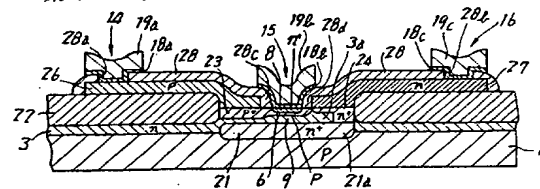
第1C図



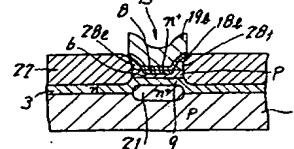
第2A図



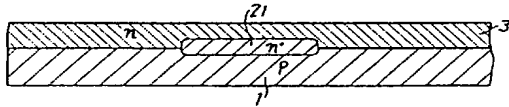
第2B図



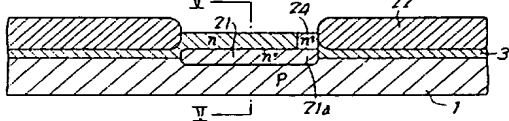
第2C図



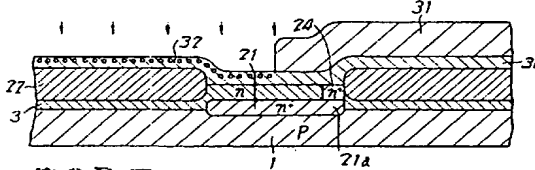
第3A図



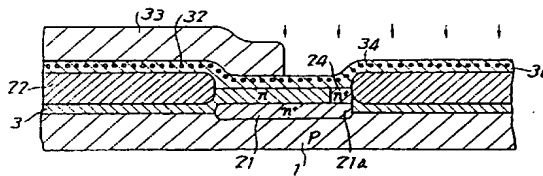
第3B図



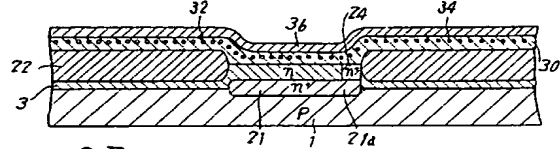
第3C図



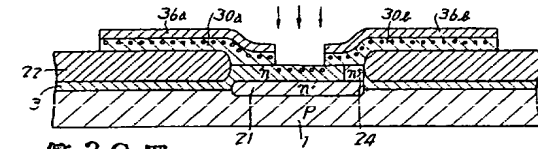
第3D図



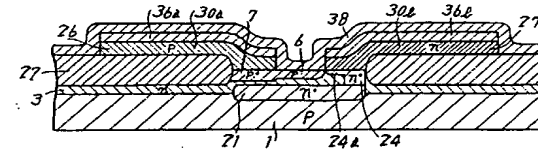
第3E図



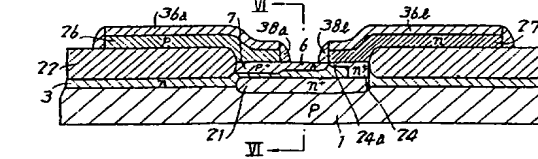
第3F図



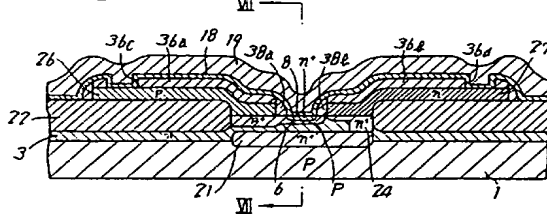
第3G図



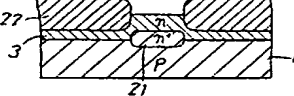
第3H図



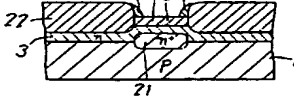
第3I図



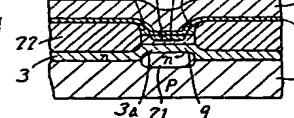
第4A図



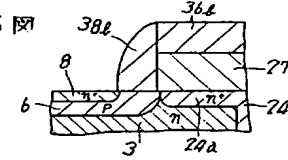
第4B図



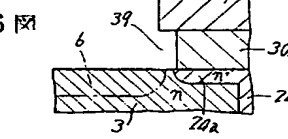
第4C図



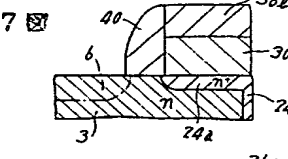
第5図



第6図



第7図



第8図

